

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-003028

(43)Date of publication of application : 07.01.2000

(51)Int.Cl.

G03F 1/08
G01B 11/02
H01L 21/027
// G06F 17/50

(21)Application number : 11-076065

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.03.1999

(72)Inventor : HASHIMOTO KOJI

(30)Priority

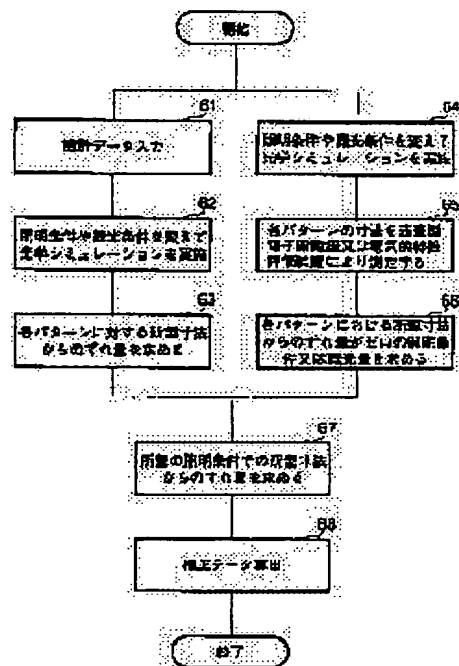
Priority number : 98 66890 Priority date : 28.04.1998 Priority country : US

(54) MASK PATTERN CORRECTING SYSTEM AND ITS CORRECTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To accurately and correct the pattern of a real semiconductor integrated circuit at a high speed by using measured data.

SOLUTION: A special image simulation of plural pattern data of semiconductor integrated circuits is carried out based on different illumination conditions (62). The pattern bias for each of illumination conditions is calculated based on the results of the spacial image simulation (63). The plural pattern data of semiconductor integrated circuits are CAD data corresponding to the real circuit pattern. The pattern bias is determined by electrically measuring the evaluation patterns produced under different illumination conditions (66). The corrected value of the mask pattern is obt'd. from the pattern bias determined by simulation under the same illumination conditions as the conditions to render the pattern bias above into zero.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-3028

(P2000-3028A)

(43) 公開日 平成12年1月7日(2000.1.7)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 0 3 F 1/08

G 0 3 F 1/08

A

G 0 1 B 11/02

G 0 1 B 11/02

Z

H 0 1 L 21/027

H 0 1 L 21/30

5 0 2 P

// G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 M

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平11-76065

(22) 出願日 平成11年3月19日(1999.3.19)

(31) 優先権主張番号 09/066890

(32) 優先日 平成10年4月28日(1998.4.28)

(33) 優先権主張国 米国 (U S)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 橋本 耕治

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

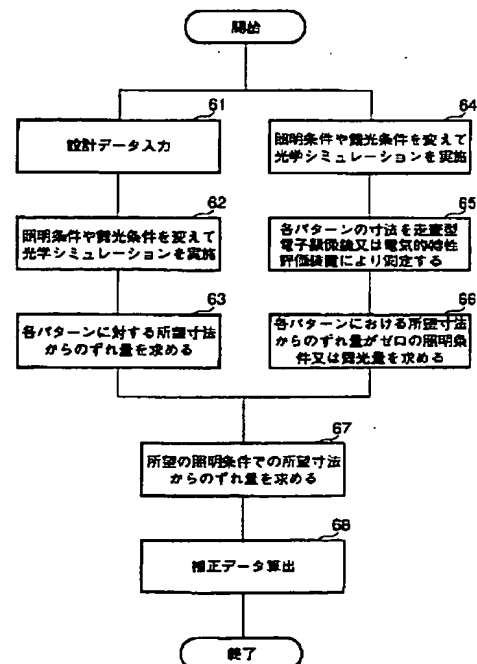
弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 マスクパターン補正システムとその補正方法

(57) 【要約】

【課題】 測定データを用いて、実際の半導体集積回路のパターンを正確且つ高速に補正することが困難であった。

【解決手段】 異なる照明条件に基づいて、半導体集積回路の複数のパターンデータの空間イメージシミュレーションを行い(62)、この空間イメージシミュレーションの結果に基づいて、各照明条件におけるパターン・バイアスを算出する(63)。半導体集積回路の複数のパターンデータは実際の回路パターンに対応したCADデータである。照明条件を変えて製造した評価パターンを電気的に測定してパターン・バイアスを求め(66)、このパターン・バイアスがゼロとなる照明条件と同一の照明条件によりシミュレートして求めたパターン・バイアスからマスクパターンの補正値を求める(67)。



【特許請求の範囲】

【請求項 1】 異なる照明条件において、半導体集積回路の複数のパターンデータの光学像シミュレーションを行い、この光学像シミュレーションの結果に基づいて、前記各照明条件間における前記半導体集積回路の複数のパターン部のパターン寸法差を算出するシミュレータと、

前記異なる照明条件において、半導体集積回路の特性を評価するための評価パターンを製造する製造装置と、前記製造装置により製造された前記半導体集積回路の評価パターンの仕上がり寸法を測定する測定装置と、前記測定装置により測定された仕上がり寸法より前記半導体集積回路のそれぞれのパターンにおいてその寸法が所望値となる照明条件を求める第 1 の演算部と、前記第 1 の演算部により求めたパターン寸法が所望値となる照明条件におけるパターン寸法と所望の照明条件におけるパターン寸法との差を前記シミュレータにより算出し、その値をマスクパターンの補正值とする第 2 の演算部とを具備することを特徴とするマスクパターン補正システム。

【請求項 2】 前記所望の照明条件は、前記測定装置により測定された仕上がり寸法より前記各半導体集積回路の評価パターン間の共通プロセス・ウィンドウが最大となる照明条件であることを特徴とする請求項 1 記載のマスクパターン補正システム。

【請求項 3】 前記照明条件は、標準照明、遮蔽率の異なる複数の輪帯照明、開口半径の異なる複数のコヒーレント照明を含むことを特徴とする請求項 1 記載のマスクパターン補正システム。

【請求項 4】 前記評価パターンは、メモリセルのゲートパターン及び周辺回路のパターンを含むことを特徴とする請求項 1 記載のマスクパターン補正システム。

【請求項 5】 前記シミュレータ、第 1、第 2 の演算部は、一つのコンピュータに含まれていることを特徴とする請求項 1 記載のマスクパターン補正システム。

【請求項 6】 異なる照明条件において、半導体集積回路の複数のパターンデータの光学像シミュレーションを行い、この光学像シミュレーションの結果に基づいて、前記各照明条件間における前記半導体集積回路の複数のパターン部のパターン寸法差を算出する工程と、前記異なる照明条件において、半導体集積回路の特性を評価するための評価パターンを製造する工程と、前記製造された前記半導体集積回路の評価パターンの仕上がり寸法を測定する工程と、前記測定された仕上がり寸法より前記半導体集積回路のそれぞれのパターンにおいてその寸法が所望値となる照明条件を求める第 1 の演算工程と、前記求めたパターン寸法が所望値となる照明条件におけるパターン寸法と所望の照明条件におけるパターン寸法との差を前記シミュレーションにより算出し、その値を

マスクパターンの補正值とする第 2 の演算工程とを具備することを特徴とするマスクパターンの補正方法。

【請求項 7】 前記所望の照明条件を求める工程は、前記測定された仕上がり寸法より前記半導体集積回路の各評価パターン間の共通プロセス・ウィンドウが最大となる照明条件を求める工程からなることを特徴とする請求項 6 記載のマスクパターンの補正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばリソグラフィやエッチング等の全ウェハプロセスに適用可能なマスクパターン補正システムとその補正方法に関する。

【0002】

【従来の技術】半導体集積回路は益々微細化されており、パターンの線幅寸法 (CD: critical dimension) はサブミクロンのオーダーとなっている。こように微細化されたパターンを例えばリソグラフィ処理した場合、近接するパターンの影響により、所望のパターン形状を得ることが困難となる (これを光近接効果と呼ぶ)。メモリやロジック回路等を含む半導体集積回路を製造する場合、最小の寸法で設計されたメモリセルの領域に露光条件を設定してリソグラフィ処理を行った場合、光近接効果により周辺回路の露光条件が最適値からずれる。この結果、製造されたパターンの幅が設計値より広く又は狭くなってしまう。そこで、この設計値からずれたパターンに対応してマスクパターンを補正する光近接効果補正 (OPC: Optical proximity correction) 方法に対する関心が高まっている。しかし、厳密な OPC 方法は現在まだ確立されていない。

【0003】

【発明が解決しようとする課題】従来の OPC 法の一例としてシミュレーションを用いた方法がある。このシミュレーションは、リソグラフィに関するデータをパラメータとして、実回路をシミュレーションする方法である。この方法の場合、CAD (Computer Aided Design) データを使用できるため、簡単な処理によりマスクパターンを補正できる利点を有している。しかし、この方法は、リソグラフィに関するデータのみしか取り扱うことができないため、正確な補正を行うことが困難である。なぜなら、ウェハプロセスは光学イメージ (空間イメージ) 要素ばかりでなく、レジストパターンの現像、エッチング、及びその他のプロセスを含んでいるため、リソグラフィに関するデータのみでは不十分だからである。

【0004】また、従来の OPC 法の他の例として、実験的方法がある。この方法は、評価用のパターンとして例えばウェハ上にメモリセルを構成するトランジスタのゲートパターンを製造し、この評価用パターンを例えば走査型電子顕微鏡により測定し、この測定データに応じてマスク上のパターンを補正するものである。この方法

の場合、実際に製造した評価用パターンの仕上がり寸法を測定しているため、マスク、リソグラフィ、エッチング等の近接効果に関する要素を取り込むことができる。しかし、この評価用パターンは実際の半導体集積回路の一部のパターンに過ぎず、全てのパターンを代表していない。このため、この測定データを用いて、実際の半導体集積回路のパターンを正確且つ高速に補正することは容易ではない。このように、従来、OPC法を正確且つ高速に行うことは困難であった。

【0005】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、空間イメージシミュレーションにより得たデータと実験により得たデータを用いて、正確且つ高速にマスクパターンを補正することが可能なマスクパターン補正システムとその補正方法を提供しようとするものである。

【0006】

【課題を解決するための手段】本発明のマスクパターン補正システムは、上記課題を解決するため、異なる照明条件において、半導体集積回路の複数のパターンデータの光学像シミュレーションを行い、この光学像シミュレーションの結果に基づいて、前記各照明条件間における前記半導体集積回路の複数のパターン部のパターン寸法差を算出するシミュレータと、前記異なる照明条件において、半導体集積回路の特性を評価するための評価パターンを製造する製造装置と、前記製造装置により製造された前記半導体集積回路の評価パターンの仕上がり寸法を測定する測定装置と、前記測定装置により測定された仕上がり寸法より前記半導体集積回路のそれぞれのパターンにおいてその寸法が所望値となる照明条件を求める第1の演算部と、前記第1の演算部により求めたパターン寸法が所望値となる照明条件におけるパターン寸法と所望の照明条件におけるパターン寸法との差を前記シミュレータにより算出し、その値をマスクパターンの補正値とする第2の演算部とを具備している。

【0007】前記所望の照明条件は、前記測定装置により測定された仕上がり寸法より前記各半導体集積回路の評価パターン間の共通プロセス・ウィンドウが最大となる照明条件である。

【0008】前記照明条件は、標準照明、遮蔽率の異なる複数の輪帯照明、開口半径の異なる複数のコヒーレント照明を含んでいる。

*

$$\delta \text{ total} = \delta \text{ aerial} + \delta \text{ development} + \delta \text{ etching} + \delta \text{ other} \quad \dots (1)$$

ここで、 $\delta \text{ aerial}$: 光学像に起因するCD差、
 $\delta \text{ development}$: 現像に起因するCD差、
 $\delta \text{ etching}$: エッチングに起因するCD差、
 $\delta \text{ other}$: マスク等、他のプロセスに起因するCD差。

【0018】上記要素において、 $\delta \text{ aerial}$ は露光装置の照明条件に大きく依存する。また、他の3つの条件（ $\delta \text{ development}$ 、 $\delta \text{ etching}$ 、 $\delta \text{ other}$ ）は殆ど照明条件に依存せず、パターン配置、パターン密度等に依存する。

照明(1) :

$$\delta \text{ total}, (1)$$

*【0009】前記評価パターンは、メモリセルのゲートパターン及び周辺回路のパターンを含んでいる。

【0010】前記シミュレータ、第1、第2の演算部は、一つのコンピュータに含まれている。

【0011】さらに、本発明のマスクパターンの補正方法は、異なる照明条件において、半導体集積回路の複数のパターンデータの光学像シミュレーションを行い、この光学像シミュレーションの結果に基づいて、前記各照明条件間における前記半導体集積回路の複数のパターン部のパターン寸法差を算出する工程と、前記異なる照明条件において、半導体集積回路の特性を評価するための評価パターンを製造する工程と、前記製造された前記半導体集積回路の評価パターンの仕上がり寸法を測定する工程と、前記測定された仕上がり寸法より前記半導体集積回路のそれぞれのパターンにおいてその寸法が所望値となる照明条件を求める第1の演算工程と、前記求めたパターン寸法が所望値となる照明条件におけるパターン寸法と所望の照明条件におけるパターン寸法との差を前記シミュレーションにより算出し、その値をマスクパターンの補正値とする第2の演算工程とを具備している。

【0012】前記所望の照明条件を求める工程は、前記測定された仕上がり寸法より前記半導体集積回路の各評価パターン間の共通プロセス・ウィンドウが最大となる照明条件を求める工程である。

【0013】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。

【0014】本発明は、一例としてDRAMのマスクパターンを補正する場合について説明するが、この発明はDRAMに限定されるものではなく、SRAM（スタティックRAM）、不揮発性メモリ、ロジック集積回路等に適用することも可能である。本発明は、光学像シミュレーションと実験データとから、正確且つ高速なマスクパターンの補正を可能としている。

【0015】まず、この発明の原理について説明する。

【0016】全ウェハプロセスを含むメモリセル領域からのCD (critical dimension) 差を意味するトータル・パターン・バイアス ($\delta \text{ total}$) は、式(1)により示される。

【0017】

$\delta \text{ development}$ 、 $\delta \text{ etching}$ 、 $\delta \text{ other}$ は殆ど照明条件に依存せず、パターン配置、パターン密度等に依存する。式(1)より、次のような、幾つかの照明条件に基づくトータル・パターン・バイアスを得ることができる。

【0019】

5

$$= \delta \text{ aerial, (1)} + \delta \text{ development, (1)} \\ + \delta \text{ etching, (1)} + \delta \text{ other, (1)} \quad \dots (2)$$

照明 (2) :

$$\delta \text{ total, (2)} \\ = \delta \text{ aerial, (2)} + \delta \text{ development, (2)} \\ + \delta \text{ etching, (2)} + \delta \text{ other, (2)} \quad \dots (3)$$

上記式 (2) (3) において、 $\delta \text{ total, (1)}$ 、 $\delta \text{ total, (2)}$ は、照明条件 (1) 及び (2) におけるトータル・パターン・バイアス (CD 差) であり、 $\delta \text{ aerial, (1)}$ 、 $\delta \text{ aerial, (2)}$ は、照明条件 (1) 及び (2) における空間イメージに起因する CD 差である。

【0020】上記式 (2) (3) において、 $\delta \text{ development, (1)}$ 、 $\delta \text{ development, (2)}$ 、 $\delta \text{ etching, (1)}$ 、 $\delta \text{ etching, (2)}$ 、 $\delta \text{ other, (1)}$ 、 $\delta \text{ other, (2)}$ は露光装置の照明条件に殆ど依存しないため、 $\delta \text{ development, (1)} = \delta \text{ development, (2)}$ 、 $\delta \text{ etching, (1)} = \delta \text{ etching, (2)}$ 、 $\delta \text{ other, (1)} = \delta \text{ other, (2)}$ とすることが可能であり、次式 (4) を得ることができる。

$$\delta \text{ total, (1)} = \delta \text{ total, (2)} + (\delta \text{ aerial, (1)} - \delta \text{ aerial, (2)}) \quad \dots (4)$$

上記式 (4) は、ある照明条件 (1) でのトータルプロセスバイアス $\delta \text{ total, (1)}$ は、別の照明条件 (2) でのトータルプロセスバイアス $\delta \text{ total, (2)}$ を知ることであれば、光学像によってのみ表記できることを示している。ここで、右辺の要素 ($\delta \text{ aerial, (1)} - \delta \text{ aerial, (2)}$) については、例えば周知のソリッド・c (solid-c (sigma-c corp.))、FALM (VECTOR TECHNOLOGIES, INC. (VT1)) 等の光学シミュレータを用いて厳密な値を得ることができる。 $\delta \text{ total, (1)}$ 、 $\delta \text{ total, (2)}$ の値は、例えば走査型電子顕微鏡等の計測装置、若しくは電気的特性評価装置により、実験的に厳密な数値として得ることができる。

【0022】(第1の実施例) 図1は、本発明に適用される補正システムを概略的に示している。記憶装置51には、例えばDRAMのパターンに対応したCADデータが記憶されている。この記憶装置51にはシミュレータ52が接続されている。このシミュレータ52は前記記憶装置51から供給されるCADデータに応じて後述するシミュレーションを実行する。半導体製造装置53は、周知の露光装置、エッチング装置等からなり、照明条件や露光条件を変えて、例えば図4、図5に示すような、評価用のパターンが形成されたウェハ54を製造する。走査型電子顕微鏡55 (若しくは電気的特性評価装置) は前記ウェハ54に形成されたパターンの仕上がり段階での寸法 (仕上がり寸法と称す) を測定する。コンピュータ56は前記走査型電子顕微鏡若しくは電気的特性評価装置55から供給される測定データより、各パターンの最適パターンからのずれ量を求め、このずれ量と前記シミュレータ52から供給されるシミュレーション結果に基づき、マスクパターンの補正値を算出する。前記コンピュータ56は前記シミュレータ52と兼用してもよい。

【0023】図1に示す左側のシミュレーションのプロセスに関して、まず、幾つかの照明条件の下で、DRAMのセル領域及び周辺回路のパターンバイアスに関する

6

$\delta \text{ total, (1)}$ 、 $\delta \text{ total, (2)}$ は露光装置の照明条件に殆ど依存しないため、 $\delta \text{ development, (1)} = \delta \text{ development, (2)}$ 、 $\delta \text{ etching, (1)} = \delta \text{ etching, (2)}$ 、 $\delta \text{ other, (1)} = \delta \text{ other, (2)}$ とすることが可能であり、次式 (4) を得ることができる。

【0021】

空間イメージシミュレーションの結果を得た。図2は、露光装置の一例を示している。光源11とレンズ13の間に開口12Aを有する絞り12が配置されている。この絞り12の開口12Aを通過した光はレンズ13を通過してマスク14に照射され、マスク14に形成されたパターンはレンズ15を通過して、ウェハ16の表面に結像される。第1の実施例では、前記絞り12の開口12Aを図3(a)(b)(c)に示す3つの条件に設定する。図3(a)は光源の中心部からの光を使用せず、光軸から外れた周辺部の光を使うオフ・アクシス (off-axis)、例えば輪帯照明を示し、図3(b)は開口12Aが半径 $\sigma = 0.6$ の標準照明を示し、図3(c)は開口12Aが半径 $\sigma < 0.6$ のコヒーレント照明を示している。さらに、後述するように、輪帯照明の遮蔽率や、コヒーレント照明における開口12Aの半径が適宜設定される。

【0024】このような照明条件に基づき、図4、図5に示すようなDRAMの回路パターンについて、リソグラフィに関するデータをパラメータとしてシミュレーションが行われる。図4はDRAMのメモリセルアレイを構成するゲートパターンであり、 $0.2 \mu\text{m}$ のライン・アンド・スペースを示している。図5はDRAMの周辺回路のパターンを示しており、パターンA、B、C、Dの部分のCADデータに基づいてシミュレーションが行われる。

【0025】図6は、図1の動作を示すものであり、第1の実施例に係わる補正方法を示している。シミュレータ52は記憶装置51に記憶されているDRAMのCADデータを読み込み、このCADデータに対して、7種類の照明条件において、光学像シミュレーションを行う。照明条件は前記輪帯照明、標準照明、コヒーレント照明において、開口の半径 σ や輪帯照明の遮蔽率 ε を変えている。ここで、 ε は、図3(a)に示すように、 $\varepsilon = \sigma^2 / \sigma^2$ で示される値である。第1の実施例では、標準照明における開口の半径 σ を 0.6 に設定し、コヒー

レント照明における開口の半径 σ を0.5、0.4、0.3に設定し、輪帯照明における遮蔽率 ϵ を0.67、0.50、0.33に設定している。これらの各照明条件に基づくシミュレーションの結果より、各パターンに対する所望寸法からのずれ量が求められる（ステップ61、62、63）。

【0026】表1は、DRAMのセル領域に照射量を合わせた場合のシミュレーション結果を示している。この表1に示すように、 δaerial 、(1) - δaerial 、(2) *

照明	オフ・アクシス			標準	スモール σ		
σ	0.6				0.5	0.4	0.3
ε	0.67	0.50	0.33	0			
セルパターンでのバイアス	0						
パターンAでのバイアス	-0.06	-0.04	-0.01	0	+0.01	+0.04	+0.06
パターンBでのバイアス	-1.00	-0.05	-0.02	0	+0.03	+0.04	+0.05
パターンCでのバイアス	-0.08	-0.03	0	0	+0.01	+0.02	+0.04
パターンDでのバイアス	-0.06	-0.03	-0.01	0	+0.02	+0.04	+0.06

(バイアス: μm)

【0028】一方、図1に示す右側の実験のプロセスに関し、半導体製造装置53は前記シミュレーションの場合と同様に、例えば7種類の照明条件により、露光、現像、エッチング処理を行い、例えば図4、図5に示すような、評価パターンが形成された7種類のウェハ54を製造する（ステップ64）。この後、製造された各ウェハ54に形成された仕上がりパターン寸法を電気的特性若しくは走査型電子顕微鏡55により測定する（ステップ65）。この後、前記コンピュータ56により、各パ

※ターンにおける所望の寸法からのずれ量が例えばゼロとなる照明条件あるいは露光条件が求められる（ステップ66）。

【0029】表2は、上記測定結果より求めた各パターン上のトータルプロセスバイアス δtotal がゼロとなる照明条件を示している。

【0030】

【表2】

照明	オフ・アクシス			標準	スモールσ		
σ	0.6				0.5	0.4	0.3
ε	0.67	0.50	0.33	0			
セルパターンでのバイアス	0						
パターンAでのバイアス	-					0	+
パターンBでのバイアス	-			0	+		
パターンCでのバイアス	-	0	+				
パターンDでのバイアス	-				0	+	

【0031】上記実験的に求められたCD差（ δtotal (1) - δtotal (2)）とシミュレーションにより求められCD差（ δaerial (1) - δaerial (2)）とから、式（4）を用いて、所望の照明条件での所望の寸法からのずれ量が求められる（ステップ67）。この求めたずれ量からマスクの補正データが算出される（ステップ68）。すなわち、式（4）及び表1、表2を用い、次のように照明条件におけるパターンの幅が補正される。照明条件は、リソグラフィ・ラティチュード（露光裕度）、露光装置の条件等により決定される。ここで

パターンA:

δtotal , (standard)

= δtotal , ($\sigma=0.4$) + (δaerial , (standard) - δaerial , ($\sigma=0.4$))

(4))

= (0) - 0.04 μm

*の値について、図4に示すセルパターンと、図5に示す周辺回路のパターンA、B、C、Dに対して、概略値を得ることができた。ここで、照明条件（1）は標準照明条件とし、表1において、パターンA、B、C、Dでのオフ・アクシス（輪帯照明）とスモール σ （コヒーレント照明）のパターン・バイアスは、標準照明のCDからの差として示している。

【0027】

【表1】

※ターンにおける所望の寸法からのずれ量が例えばゼロとなる照明条件あるいは露光条件が求められる（ステップ66）。

【0029】表2は、上記測定結果より求めた各パターン上のトータルプロセスバイアス δtotal がゼロとなる照明条件を示している。

【0030】

【表2】

は、一例として標準照明条件（ $\sigma=0.6$ ）下における各パターンの補正量を求める。

【0032】パターンAの場合、表2からゼロバイアスとなる照明条件は $\sigma=0.4$ である。光学シミュレーションの結果による $\sigma=0.4$ におけるメモリセル部とのCD差は、表1より+0.04 μm であり、標準照明におけるメモリセル部とのCD差はゼロである。これらの数値を式（4）に代入すると補正值は次に示すようになる。

【0033】

∴ 補正值 = $-0.04 \mu\text{m}$

パターンB : 表2より標準照明条件においてメモリセルパターンとのCD差がないため、補正なし。

【0034】パターンC、Dの補正值は、パターンAと*

パターンC :

$\delta \text{total, (standard)}$

$= \delta \text{total, } (\varepsilon = 0.50) + (\delta \text{aerial, (standard)}$

$- \delta \text{aerial, } (\varepsilon = 0.50))$

$= (0) - (-0.03) \mu\text{m}$

∴ 補正值 = $+0.03 \mu\text{m}$

パターンD :

$\delta \text{total, (standard)}$

$= \delta \text{total, } (\sigma = 0.5) + (\delta \text{aerial, (standard)}$

$- \delta \text{aerial, } (\sigma = 0.5))$

$= (0) - 0.02 \mu\text{m}$

∴ 補正值 = $-0.02 \mu\text{m}$

上記第1の実施例によれば、実際の回路パターンに対応したCADデータを用いたシミュレーションの結果と、照明条件を変えて製造した評価パターンから実験的に求めたデータとからマスクパターンの補正值を求めている。したがって、シミュレーションの結果と実験データとを正確に特徴づけることができるため、リソグラフィのマージンを含んだ正確なマスクパターンの補正值を求めることができる。この補正值を用いてマスクパターンを補正することにより、光近接効果を確実に補正できる。

【0036】この実施例では、パターンA~Dとして実デバイスのパターンを用いたが、近接効果の影響を定量化するために、図9(a)(b)に示すような、例えば $0.25 \mu\text{m}$ のテストパターンを使用することもできる。このテストパターンは、走査型電子顕微鏡、若しくは電気的特性評価装置によって測定されるパターンと隣接するパターンとの距離Sを $0.25 \mu\text{m}$ から $60 \mu\text{m}$ まで変化させている。このため、近接効果の隣接パターン距離Sによる依存性を調べることができる。また、パターン密度として、図9(a)に示すように、隣接パターン数が片側3本からなる低パターン密度と、図9

(b)に示すように、隣接パターン数が片側50本からなる50%パターン密度があり、これらより近接効果のパターン密度による依存性も知ることができる。この実施例の装置及び方法とこのテストパターンによる評価結果を組み合わせることにより、近接効果の隣接パターン間距離依存性、若しくはパターン密度依存性を高精度に知ることができ、これにより得られた補正データにより、高精度な補正が可能となる。

*同様にして求められる。

【0035】

【0037】(第2の実施例)次に、本発明の第2の実施例について説明する。

【0038】図7は、第2の実施例による補正方法を示している。図7において、図6と同一部分には同一符号を付し、異なる部分についてのみ説明する。第2の実施例は、例えば焦点深度や露光量ラティチュード等のリソグラフィのプロセスラティチュードを含めてマスクパターンの補正を可能としている。すなわち、例えば半導体製造装置53により評価パターンが形成されたウェハを製造する際、焦点深度や露光量ラティチュード等のリソグラフィ処理ラティチュードを変えてウェハを製造する(ステップ71)。この後、走査型電子顕微鏡又は電気的特性評価装置55により各評価パターンの仕上がり寸法を測定する(ステップ65)。走査型電子顕微鏡からの測定データに基づいて、各評価パターンのバイアスを求める。

【0039】図8は、パターンAに補正を加えない状態でのパターンAとメモリセルの焦点深度と照射量の関係(EDツリー)の一例を示している。このような特性図をパターンB、C、Dについても作成し、表3に示すように、プロセス・ウィンドウが最大となる照明条件を求める。さらに、これら特性図よりパターンA、B、C、Dとメモリセルの共通プロセス・ウィンドウが最大となる照明条件を求める(ステップ72)。この実施例の場合、表3に示すように、 $\varepsilon = 0.33$ において共通プロセスウィンドウが最大となったため、 $\varepsilon = 0.33$ の照明条件を使用した。

【0040】

【表3】

11

12

照明	オフ・アクシス			標準	スモールσ		
σ	0.6				0.5	0.4	0.3
ε	0.67	0.50	0.33	0			
セルパターン	Max.						
パターンA						Max.	
パターンB				Max.			
パターンC			Max.				
パターンD						Max.	
共通7"ディスプレイ (セルA,B,C,Dについて)			Max.				

【0041】表1、表3及び式(4)を用いることにより、次に示すように各パターンの補正値を求めることができる(ステップ67、68)。補正値の求め方は第1*

*の実施例で説明したと同様である。以下に各パターンの補正値を示す。

【0042】

パターンA:

$$\begin{aligned}
 \delta_{\text{total}}, (\varepsilon=0.33) \\
 &= \delta_{\text{total}}, (\sigma=0.4) + (\delta_{\text{aerial}}, (\varepsilon=0.33) \\
 &\quad - \delta_{\text{aerial}}, (\sigma=0.4)) \\
 &= (0) + ((-0.01) - 0.04) \mu\text{m} \\
 \therefore \text{補正値} &= -0.05 \mu\text{m}
 \end{aligned}$$

パターンB:

$$\begin{aligned}
 \delta_{\text{total}}, (\varepsilon=0.33) \\
 &= \delta_{\text{total}}, (\text{standard}) + (\delta_{\text{aerial}}, (\varepsilon=0.33) \\
 &\quad - \delta_{\text{aerial}}, (\text{standard})) \\
 &= (0) + (-0.02 - 0) \mu\text{m} \\
 \therefore \text{補正値} &= -0.02 \mu\text{m}
 \end{aligned}$$

パターンC: 表3より最大プロセスウィンドウが得られる照明条件が、最大共通プロセスウィンドウが得られる※

※照明条件と一致するため、補正なし。

【0043】

パターンD:

$$\begin{aligned}
 \delta_{\text{total}}, (\varepsilon=0.33) \\
 &= \delta_{\text{total}}, (\sigma=0.4) + (\delta_{\text{aerial}}, (\varepsilon=0.33) \\
 &\quad - \delta_{\text{aerial}}, (\sigma=0.4)) \\
 &= (0) + (-0.01 - 0.04) \mu\text{m} \\
 \therefore \text{補正値} &= -0.05 \mu\text{m}
 \end{aligned}$$

上記補正方法によれば、最大リソグラフィのプロセスラティチュードを求めることにより、シミュレーションと実験データとを正確に特徴付けることができる。

【0044】上記第2の実施例では表3を実験結果より求めたが、これに限らずシミュレーションにより求めることも可能である。すなわち、この場合、焦点深度や露光量ラティチュード等のリソグラフィプロセスラティチュードを変えてメモリセル及び周辺回路パターンのシミュレーションを行い、各パターンのプロセス・ウィンドウの最大値となる照明条件を求める。これとともに、メモリセル及び周辺回路パターンで共通のプロセス・ウィンドウが最大値となる照明条件を求める。

【0045】このように、各パターンのプロセス・ウィンドウの最大値となる照明条件、及び共通のプロセス・ウィンドウが最大値となる照明条件をシミュレーションにより求めることにより、評価パターンを製造することが不要となり、処理を一層高速化できる。

【0046】また、第2の実施例においても第1の実施例と同様に図9(a)(b)に示すようなテストパターンを用いることにより高精度の補正を行えることは言うまでもない。

【0047】その他、本発明は上記実施例に限定されるものではなく、発明の要旨を変えない範囲で種々変形実施可能なことは勿論である。

【0048】

【発明の効果】以上、詳述したように本発明によれば、照明条件を変えて半導体集積回路の複数のパターンデータを光学イメージシミュレーションして得たデータと、照明条件を変えて製造した評価パターンから実験的に求めたデータとからマスクパターンの補正値を求めている。したがって、シミュレーションによるデータと実験データとを正確に特徴づけることができるため、リソグラフィのマージンを含んだ正確なマスクパターンの補正値を高速に求めることができる。

13

【図面の簡単な説明】

【図1】 この発明に係わる補正システムを示す構成図。

【図2】 露光装置の一例を示す構成図。

【図3】 図3 (a) (b) (c) は、それぞれ照明条件を説明するための図。

【図4】 DRAMのゲートパターンの一例を示す平面図。

【図5】 DRAMの周辺回路のパターンの一例を示す平面図。

【図6】 本発明の第1の実施例の動作を示すフローチャート。

【図7】 本発明の第2の実施例の動作を示すフローチャート。

【図8】 本発明の第2の実施例の動作を示す特性図。

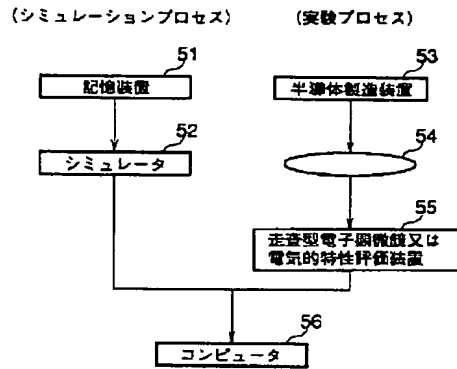
14

【図9】 図9 (a) (b) はそれぞれテストパターンを示す平面図。

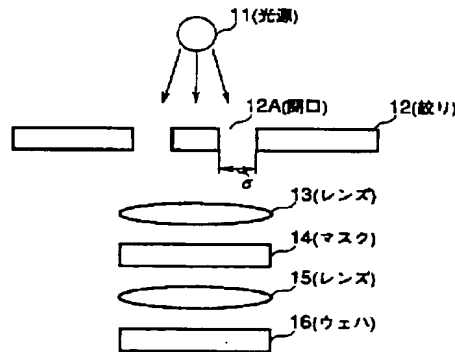
【符号の説明】

- 11…光源、
 12…絞リ、
 12A…開口、
 13…レンズ、
 14…マスク、
 15…レンズ、
 16…ウエハ、
 51…メモリ、
 52…シミュレータ、
 53…半導体製造装置、
 54…ウェハ、
 55…走査型電子顕微鏡、
 56…コンピュータ。

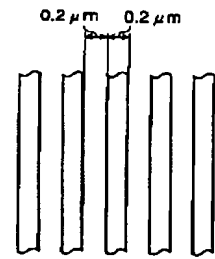
【図1】



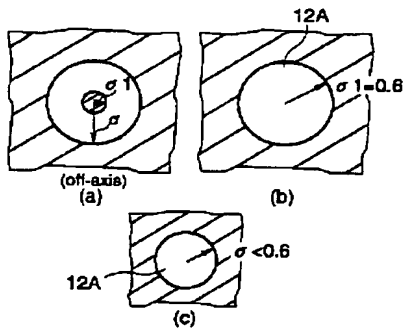
【図2】



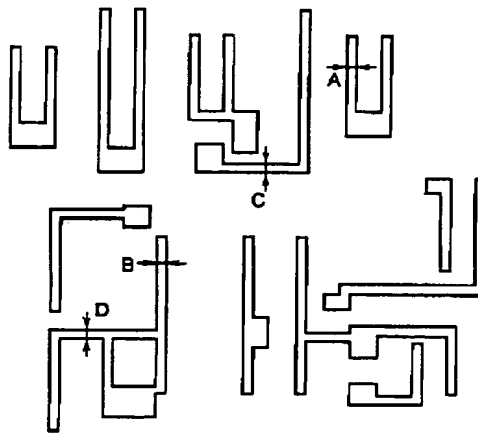
【図4】



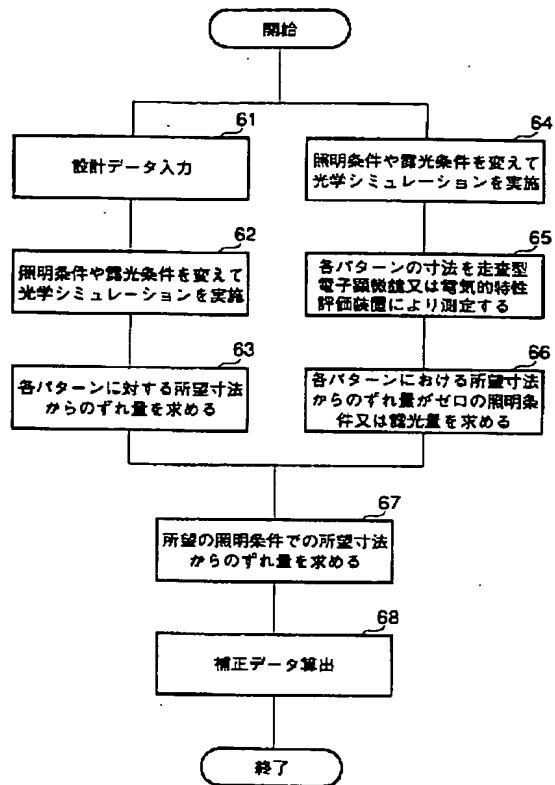
【図3】



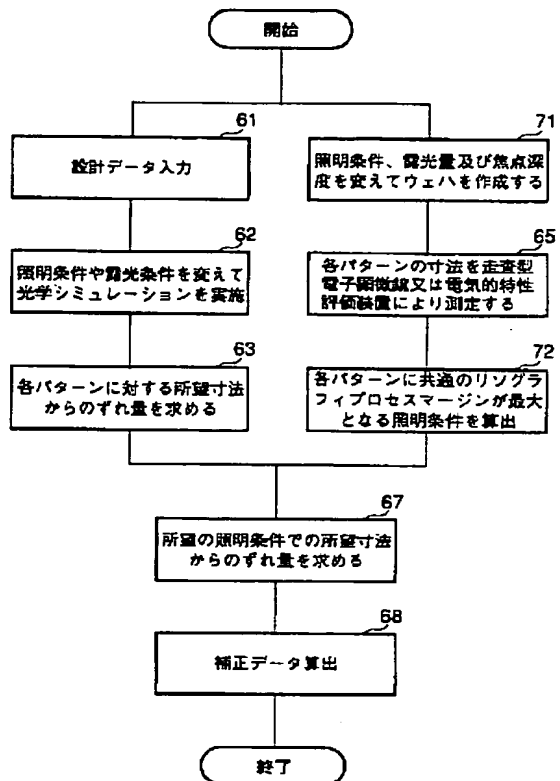
【図5】



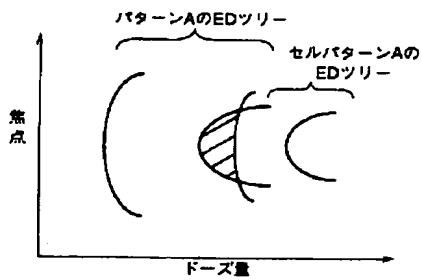
【図6】



【図7】



【図8】



【図9】

